

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-269491

(43)Date of publication of application : 29.09.2000

(51)Int.Cl. H01L 29/78  
 H01L 21/336  
 H01L 21/28  
 H01L 21/8238  
 H01L 27/092  
 H01L 29/43

(21)Application number : 11-069897

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 16.03.1999

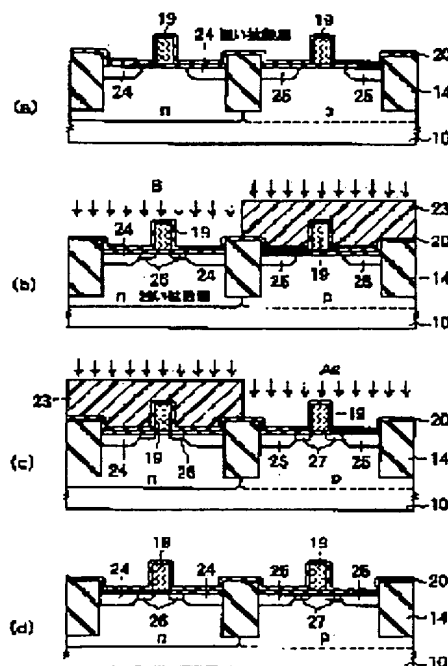
(72)Inventor : NAKAYAMA TAKEO

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE, AND THE SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To form a thin impurity-diffused layer in high concentration next to a gate electrode, in a silicide structure of semiconductor device.

SOLUTION: This manufacture forms a first sidewall insulating film 22 at the sidewall of a gate electrode 19, a forming deep impurity-diffused layers 24 and 25, using this as a mask, and forming shallow impurity-diffused layers 26 and 27, with the gate electrode 19 as a mask, after removing the first sidewall insulating film, and then forming a sidewall insulating film 29, and forming a silicide layer with this as a mask.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269491

(P2000-269491A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テームト* (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 P 4 M 1 0 4
21/336		21/28	3 0 1 T 5 F 0 4 0
21/28	3 0 1	27/08	3 2 1 F 5 F 0 4 8
21/8238			3 2 1 E
27/092		29/46	D
審査請求 未請求 請求項の数 8 O L (全 8 頁) 最終頁に続く			

(21) 出願番号 特願平11-69897

(22) 出願日 平成11年3月16日 (1999.3.16)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 中山 武雄

神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(74) 代理人 100058479

弁理士 鈴江 武彦 (外6名)

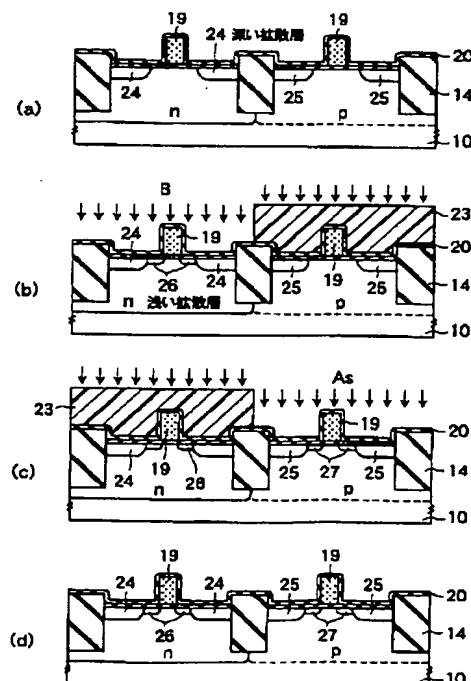
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】 サリサイド構造の半導体装置において、ゲート電極に隣接して薄く高濃度の不純物拡散層を形成する。

【解決手段】 ゲート電極19の側壁に第1の側壁絶縁膜22を形成し、これをマスクとして深い不純物拡散層24、25を形成し、第1の側壁絶縁膜を除去してからゲート電極19をマスクとして浅い不純物拡散層26、27を形成し、その後第2の側壁絶縁膜29を形成して、これをマスクとしてシリサイド層32を形成する。



## 【特許請求の範囲】

【請求項 1】 半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極の側壁に第 1 の側壁絶縁膜を形成する工程と、

前記ゲート電極および第 1 の側壁絶縁膜をマスクとして、前記基板の表面に第 1 の不純物拡散層を形成する工程と、

前記第 1 の不純物拡散層形成後に、前記第 1 の側壁絶縁膜を除去する工程と、前記第 1 の側壁絶縁膜除去後に、前記ゲート電極をマスクとして前記半導体基板の表面に第 2 の不純物拡散層を形成する工程と、

前記第 2 の不純物拡散層形成後に、前記ゲート電極の側面に第 2 の側壁絶縁膜を形成する工程と、

前記第 2 の側壁絶縁膜をマスクとして、前記ゲート電極の上面と、前記第 2 の不純物拡散層の表面に、前記第 2 の不純物拡散層より低抵抗の導電膜を形成する工程と、を具備することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 の側壁絶縁膜の幅が、前記第 2 の側壁絶縁膜のそれと異なることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の側壁絶縁膜の材料が、前記第 2 の側壁絶縁膜のそれと異なることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 4】 前記第 1 の不純物拡散層を形成する工程、および前記第 2 の不純物を拡散層を形成する工程は、不純物の導入、活性化の工程を含み、前記第 1 の不純物拡散層の不純物活性化のための熱処理温度が、前記第 2 の不純物拡散層の不純物活性化のための熱処理温度より高いことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 5】 前記第 1 の側壁絶縁膜の厚さが、前記第 2 の側壁絶縁膜の厚さより小さいことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の不純物拡散層の不純物の拡散距離が、前記第 2 の不純物拡散層の不純物の拡散距離より長いことを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 半導体基板と、前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、

前記ゲート電極の対向する 2 つの側面に形成された側壁絶縁膜と、

前記ゲート電極の両側で、前記側壁絶縁膜の下の前記半導体基板の表面に、第 1 の深さを有して形成された第 1 の不純物拡散層と、

前記ゲート電極の両側の前記半導体基板の表面に、前記第 1 の不純物拡散層を前記ゲート電極との間に介在させ、かつ前記第 1 の不純物拡散層に接続され、前記第 1 の深さよりも深い第 2 の深さを有する第 2 の不純物拡散

層と、

前記第 2 の不純物拡散層の表面に形成され、前記ゲート電極に近い一端が、前記半導体基板上において前記ゲート電極から遠い前記側壁絶縁膜の端部に接するように、かつ前記第 2 の不純物拡散層よりも低抵抗に形成された導電層と、を具備し、

前記導電層の前記 1 端と、前記第 2 の不純物拡散層の前記ゲート電極側の側面端部との間の最短距離が、前記導電層の底面と前記第 2 の不純物拡散層の底面との距離よりも大であることを特徴とする半導体装置。

【請求項 8】 前記ゲート電極は多結晶シリコンからなり、前記ゲート電極の上面に前記ゲート電極より低抵抗の導電膜をさらに有することを特徴とする請求項 9 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は MOS あるいは MIS 型トランジスタの製造方法、および MOS あるいは MIS 型トランジスタに関し、特にサリサイドプロセスにおける拡散層の形成法およびこれにより得られる MOS あるいは MIS 型トランジスタに関する。

## 【0002】

【従来の技術】 ゲート電極に多結晶シリコンを使用し、ゲート電極の抵抗を下げるために、その上面に低抵抗の高融点金属シリサイド膜を自己整合的に形成する、いわゆるシリサイド構造が知られている。従来、シリサイド構造は以下のようにして作製されている。

【0003】 まず、シリコン基板 1 上にゲート絶縁膜 2 を介して多結晶シリコン層を形成し、これをパターニングしてゲート電極 3 を形成する（図 7（a））。続いて、ゲート電極 3 をマスクにして、不純物をイオン注入することにより、浅い不純物拡散層 4 を形成する（図 7（b））。

【0004】 次に、基板全面にシリコン窒化膜を形成し、異方性エッチング（例えば RIE）を行うことにより、ゲート電極 3 の側壁に側壁絶縁膜 5 を形成する（図 7（c））。続いて、側壁絶縁膜 5 をマスクにして不純物のイオン注入を行い、深い不純物拡散層 6 を形成するとともに、ゲート電極 3 に不純物を導入する（図 7（d））。

【0005】 その後、全体を加熱することにより、ゲート電極中の不純物の活性化を行うとともに、不純物拡散層 4、6 の不純物の活性化を行う。これにより、ゲート電極に隣接し浅く高不純物濃度を有するいわゆるエクステンション構造の拡散層 7 を形成する（図 7（e））。

【0006】 しかしながら、不純物の活性化条件は、ゲート電極である多結晶シリコン中の不純物活性化と深い不純物拡散層 6 の不純物活性化を同時に行う必要があるため、高温が必要とされる。このため、浅い不純物拡散層 4 も同時に比較的深く拡散され、浅い不純物拡散層を

浅く維持することができない。

【0007】次に、ゲート電極3の上面と、不純物拡散層7の露出面上にシリサイド膜8を形成する(図7

(f))。上記のごとく、従来の技術では、深い不純物拡散層6を形成する前に浅い不純物拡散層4を形成するために、その後の熱処理で浅い不純物拡散層4の不純物が深く拡散してしまい、目的とする浅い不純物拡散層を形成することが困難であった。

【0008】上記の問題を解決するために、ゲート側壁絶縁膜形成後、深い不純物拡散層を先に形成し、側壁絶縁膜を除去してから浅い不純物拡散層を形成する方法が提案されている(Kenichi Goto et al. "A High Performance 50nm PMOSFET using Decaborane (B<sub>10</sub>H<sub>14</sub>) Ion Implantation and 2-step Activation Annealing Process" IEDM-97, pp.471-474)。しかしながら、この技術では、ゲート側壁絶縁膜を設けないため、低抵抗のシリサイド膜をゲート上面と不純物拡散層上面に設けようとすると、ゲート電極側面にもシリサイド膜が形成され、ゲート電極と不純物拡散層がショートする。従って、この構造はシリサイドプロセスには適用できない。

【0009】

【発明が解決しようとする課題】上記のように、MOS(MIS)型トランジスタのゲート電極の両側に浅い不純物拡散層と深い不純物拡散層からなるソース・ドレイン領域を形成する際、浅い不純物拡散層を先に形成すると、深い不純物拡散層を形成するための熱処理により、浅い不純物拡散層の不純物も拡散してしまい、浅い不純物拡散層を形成することが困難であった。また、深い不純物拡散層を形成後、ゲート側壁絶縁膜を除去し、その後浅い不純物拡散層を形成する方法では、ゲート電極と不純物拡散層の抵抗を下げるためのシリサイド層が形成できないという問題があった。

【0010】

【課題を解決するための手段】上記問題を解決するために、本発明では、高温の熱処理を必要とするゲート電極(多結晶シリコン)の不純物活性化、シリサイド膜下の深い不純物拡散層の形成を先に行い、MOS(MIS)FETのショートチャネル効果に最も影響する浅い不純物拡散層を、ゲート電極に隣接して後から形成する。このため、ゲート電極の側壁絶縁膜を2度形成する。

【0011】すなわち、本発明の半導体装置の製造方法(請求項1)は、半導体基板上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極の側壁に第1の側壁絶縁膜を形成する工程と、前記ゲート電極および第1の側壁絶縁膜をマスクとして、前記基板の表面に第1の不純物拡散層を形成する工程と、前記第1の不純物拡散層形成後に、前記第1の側壁絶縁膜を除去する工程と、前記第1の側壁絶縁膜除去後に、前記ゲート電極をマスクとして前記半導体基板の表面に第2の不純物拡散層を形成する工程と、前記第2の不純物拡散層形

成後に、前記ゲート電極の側面に第2の側壁絶縁膜を形成する工程と、前記第2の側壁絶縁膜をマスクとして、前記ゲート電極の上面と、前記第2の不純物拡散層の表面に、前記第2の不純物拡散層より低抵抗の導電膜を形成する工程とを具備することを特徴とする。

【0012】前記第1の側壁絶縁膜が側壁上に有する厚さが、前記第2の側壁絶縁膜のそれと異なるようにすることができる。あるいは、前記第1の側壁絶縁膜の材料が、前記第2の側壁絶縁膜のそれと異なるようにすることができる。

【0013】前記ゲート電極が多結晶シリコンで形成され、前記第1の不純物拡散層が形成される工程において、前記ゲート電極への不純物導入、活性化が同時に行われることが望ましい。前記半導体基板がシリコンからなり、前記導電膜が高融点金属とシリコンを主材料として形成されることが望ましい。

【0014】前記第1の不純物拡散層を形成する工程、および前記第2の不純物を拡散層を形成する工程は、不純物の導入、活性化の工程を含み、前記第1の不純物拡散層の不純物活性化のための熱処理温度が、前記第2の不純物拡散層の不純物活性化のための熱処理温度より高いことが望ましい。

【0015】前記第1の側壁絶縁膜の厚さが、前記第2の側壁絶縁膜の厚さより小さくすることができる。前記第1の不純物拡散層の不純物の拡散距離が、前記第2の不純物拡散層の不純物の拡散距離より長いようにしてもよい。

【0016】本発明の半導体装置(請求項7)は、半導体基板と、前記半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、前記ゲート電極の対向する2つの側面に形成された側壁絶縁膜と、前記ゲート電極の両側で、前記側壁絶縁膜の下の前記半導体基板の表面に、第1の深さを有して形成された第1の不純物拡散層と、前記ゲート電極の両側の前記半導体基板の表面に、前記第1の不純物拡散層を前記ゲート電極との間に介在させ、かつ前記第1の不純物拡散層に接続され、前記第1の深さよりも深い第2の深さを有する第2の不純物拡散層と、前記第2の不純物拡散層の表面に形成され、前記ゲート電極に近い一端が、前記半導体基板上において前記ゲート電極から遠い前記側壁絶縁膜の端部に接するように、かつ前記第2の不純物拡散層よりも低抵抗に形成された導電層とを具備し、前記導電層の前記1端と、前記第2の不純物拡散層の前記ゲート電極側の側面端部との間の最短距離が、前記導電層の底面と前記第2の不純物拡散層の底面との距離よりも大であることを特徴とする。

【0017】前記ゲート電極は多結晶シリコンからなり、前記ゲート電極の上面に前記ゲート電極より低抵抗の導電膜をさらに有することが望ましい。前記半導体基板はシリコンからなり、前記導電層が高融点金属とシリ

コンを主とすることが望ましい。

【0018】

【発明の実施の形態】以下図面を参照して、本発明の実施の形態を説明する。

【0019】（第1の実施形態）図1～図5は、本発明の第1の実施形態に係る半導体装置の製造方法を段階的に示す半導体装置の部分的な断面図である。これらの図に基づいて製造方法を説明する。

【0020】まず、p型シリコン単結晶基板10上に、950℃の水素熱酸化法により50nmの厚さのSiO<sub>2</sub>膜11を形成し、さらにSiN膜12を化学的気相堆積法により300nm堆積する（図1（a））。

【0021】次に、リソグラフィ技術と異方性反応性イオンエッチング法（以下RIE法と称する）により、素子分離領域形成予定部13のSiN膜、SiO<sub>2</sub>膜、シリコン基板の一部を除去する（図1（b））。その後、素子分離に使用するSiO<sub>2</sub>膜14を堆積する（図1（c））。

【0022】次に、化学的機械的研磨技術（以下、CMP技術と称する）により、表面を均一に削ってSiN膜12の表面を露出させる（図1（d））。このとき、SiO<sub>2</sub>膜14とSiN膜12の間にはCMPに対する選択比を持たせる。

【0023】次に、残存するSiN膜12を化学的気相エッチング技術により除去する（図2（a））。さらに、NH<sub>4</sub>F（弗化アンモニウム）溶液により、SiO<sub>2</sub>膜11を除去する（FIG. 2（b））。

【0024】次に、リソグラフィ技術とイオン注入技術を用いて、シリコン基板10と反対の導電型（この場合はn型）のウェル領域15と同じ導電型（p型）のウェル16を形成する（図2（b））。

【0025】次に、シリコン基板10の表面に6nmのSiO<sub>2</sub>膜17を乾燥酸素酸化法により形成し、ゲート電極に用いる200nmの多結晶シリコン膜18を化学的気相堆積法により堆積する（図2（c））。次に、リソグラフィ技術とRIE技術により、ゲート電極部分以外の多結晶シリコン膜を除去して、ゲート電極19を形成する（図2（d））。

【0026】次に、SiO<sub>2</sub>膜20を20nm、第1の絶縁膜21としてSiNを100nm堆積する（図3（a））。続いて、RIE技術を用いて、第1の絶縁膜21をゲート電極の側壁にのみ残置させ、第1の側壁絶縁膜22を形成する。その後、リソグラフィ技術により、不要な部分をレジスト23で覆い、イオン注入技術により、ボロンを加速電圧10keV、ドーズ量 $4 \times 10^{15} \text{ cm}^{-2}$ でシリコン基板に導入することにより、不純物拡散層24（ソース／ドレイン領域）を形成する。このとき、ゲート電極19にもボロンが導入される（図3（b））。

【0027】次に、リソグラフィ技術により不要な部分

をレジスト23で覆い、イオン注入技術により砒素（As）を加速電圧60keV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ でシリコン基板10に導入する。これにより、不純物拡散層25（ソース／ドレイン領域）が形成される。この時露出したゲート電極19にも砒素が導入される（図3（c））。続いて、レジスト23を除去した後、導入された不純物の活性化を図るために、1015℃、15秒の熱処理を行う（図3（d））。

【0028】次に、ゲート側壁絶縁膜22を、化学的気相エッチング技術により除去する（図4（a））。続いて、リソグラフィ技術により、不要な部分をレジスト23で覆い、イオン注入技術によりボロン（B）を、加速電圧5keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ でシリコン基板10に導入することにより、浅い不純物拡散層26を形成する（図4（b））。

【0029】次に、リソグラフィ技術により、不要な部分をレジスト23で覆い、イオン注入技術により、砒素（As）を加速電圧15keV、ドーズ量 $1 \times 10^{14} \text{ cm}^{-2}$ でシリコン基板10に導入することにより、浅い不純物拡散層27を形成する（図4（c））。続いて、レジスト23を除去した後に、導入した不純物の活性化のために、900℃、30秒の熱処理を行う（図4（d））。

【0030】次に、基板全体に第2の絶縁膜28としてSiN膜を100nm堆積する（図5（a））。その後、RIE技術を用いてゲート電極19の側壁にのみ第2の絶縁膜28を残置し、第2のゲート側壁絶縁膜29を形成する（図5（b））。

【0031】次に、基板表面に露出するシリコン酸化膜20、17を除去した後、Ti膜30を膜厚30nm、TiN膜31を膜厚15nmに、スパッタリング技術により形成する（図5（c））。続いて、675℃、30秒の熱処理を行って、ソース／ドレイン層の表面、およびゲート電極の上面のSiとTi膜のTiとを反応させる。その後、不要の（未反応の）Ti膜30、TiN膜31を硫酸と過酸化水素を混ぜた溶液にて除去する。さらに、TiSix膜の低抵抗化の為に、850℃、30秒の熱処理を行う。これによりゲート電極の上面、ソース／ドレイン領域の表面に選択的にTiSix膜32を形成する（図5（d））。

【0032】その後、周知の技術により、層間絶縁膜の形成を行い、その平坦化を行い、さらにコンタクトホールを開口して金属配線膜（Al-Si-Cu合金等）の配線を形成する。以上により、ゲート電極に隣接して浅く高不純物濃度の拡散層を有するサリサイド構造のトランジスタを形成できる。

【0033】（第2の実施形態）第1の実施形態では、第1の側壁絶縁膜と第2の側壁絶縁膜の材質と厚さが同じ場合を説明した。しかしながら、第1と第2の側壁絶縁膜の材質と厚さを異ならせても良く、これにより、従

来よりも接合リークを抑制できるトランジスタの構造が可能になる。第2の実施形態は、このような例である。

【0034】第2の実施形態の基本プロセスは、第1の実施形態と同じなので、第1の実施形態の説明に用いた図1乃至図5を参照して説明する。なお、工程が全く同じ場合は、重複する説明を省略する。

【0035】図1乃至図2の工程は、第1の実施形態と同様に実施される。続いて、 $\text{SiO}_2$  膜20を20nm、第1の絶縁膜21として多結晶シリコンを100nm堆積する(図3(a))。続いて、RIE技術を用いて、第1の絶縁膜21をゲート電極の側壁にのみ残置させ、第1の側壁絶縁膜22を形成する。

【0036】続く図2(a)乃至図4(d)の工程は、第1の実施形態と全く同様に実施される。次に、基板全体に第2の絶縁膜28として $\text{SiN}$ 膜を150nm堆積する(図5(a))。その後、RIE法を用いてゲート電極19の側壁にのみ第2の絶縁膜28を残置し、第2のゲート側壁絶縁膜29を形成する(図5(b))。図5(c)以降の工程は、第1の実施形態と全く同様に実施される。

【0037】第2の実施形態では、第1の絶縁膜として多結晶シリコンを使用した。多結晶シリコンは $\text{SiN}$ に比べてエッチングが容易であるという利点がある。但し、多結晶シリコンは $\text{Ti}$ と反応しやすいという欠点があるので、第2の絶縁膜としては $\text{SiN}$ が好ましい。 $\text{Ti}$ との反応性の点で $\text{SiN}$ に比べて若干劣るが、第2の絶縁膜として $\text{SiO}_2$ を使用してもよい。

【0038】ここで、第1と第2の実施形態で作製されたトランジスタのディメンジョンの差を説明する。図6(a)は第1の実施形態のトランジスタのディメンジョン、図6(b)は第2の実施形態のトランジスタのディメンジョンをそれぞれ示す。

【0039】ゲート電極の幅を、第1および第2の実施形態のいずれにおいても $0.25\mu\text{m}$ であるとすれば、第1の側壁絶縁膜22をマスクにして形成された深い不純物拡散層24(あるいは25)の深さは、約 $0.18\mu\text{m}$ となる。第2の側壁絶縁膜をマスクとして形成されるシリサイド層32の厚さは、約 $0.09\mu\text{m}$ となり、従ってシリサイド層32の下に残された深い不純物拡散層の深さ(厚さ)は $0.09\mu\text{m}$ となる。

【0040】第1の実施形態の場合、深い不純物拡散層を形成する際に第1の側壁絶縁膜22の端から横方向(ゲート電極側)に広がる寸法は約 $0.05\mu\text{m}$ である。その後、第2の側壁絶縁膜29をマスクとしてシリサイド層32が形成されるが、このシリサイド層32のゲート電極側の端から深い拡散層のゲート電極側の端までの距離は $0.05\mu\text{m}$ となる(図5(a))。

【0041】一方、第2の実施形態の場合は、深い不純物拡散層が第1の側壁絶縁膜22の端から横方向(ゲート電極側)に広がる寸法は約 $0.05\mu\text{m}$ であるが、シ

リサイド層32が第2の側壁絶縁膜29(厚さあるいは幅が $150\text{nm}$ )に整合して形成される。このため、シリサイド層32のゲート電極側の端から、深い不純物拡散層24(あるいは25)のゲート電極側の端までの距離は、拡散による広がり $0.05\mu\text{m}$ に第1と第2の側壁絶縁膜の厚さの差 $0.05\mu\text{m}$ が加算されて約 $0.1\mu\text{m}$ となる。この距離は深い不純物拡散層24(あるいは25)の深さ方向の実効長 $0.09\mu\text{m}$ と同等以上となり、接合リークの発生が抑制される構造であることがわかる。

【0042】第2の実施形態において、シリサイド層32のゲート電極側の端から、深い不純物拡散層24(あるいは25)のゲート電極側の端までの距離を、第1の実施形態と同じ $0.05\mu\text{m}$ とすれば、深い不純物拡散層の深さをより浅く形成することも可能であり、より微細なトランジスタ構造を実現できる。

【0043】以上のように、第2の実施形態によれば、ゲート電極に隣接して浅くかつ高濃度の不純物拡散層を形成できるばかりでなく、接合リーク電流が抑制されたトランジスタを提供することができる。

【0044】以上の実施形態では、MOS型トランジスタを例にとり説明したが、ゲート絶縁膜に $\text{SiO}_2$ 以外の絶縁膜を使用したMIS(Metal Insulator Semiconductor)型トランジスタに本発明を適用することもできる。その他本発明の主旨を逸脱しない範囲で種々の変形が可能である。

【0045】

【発明の効果】ゲート電極の側壁絶縁膜を2度形成することで、1度目と2度目の側壁の材料や、側壁絶縁膜の幅(厚さ)を変えることが可能になる。これにより、1度目の側壁絶縁膜は、トランジスタの性能を高めるのに適した幅を使用し、2度目の側壁絶縁膜はシリサイド膜をゲート電極、ソース/ドレイン領域に貼り付けるシリサイド構造を作るのに適した幅と材料を使用することができる。

【0046】また、ゲート電極の側壁を2度形成することで、ソース/ドレイン領域のゲート電極に隣接しない不純物拡散層部分を先に形成し、ゲート電極に隣接する不純物拡散層を後から形成しながら、シリサイド膜をゲート電極、ソース/ドレイン領域に貼り付けるシリサイド構造の実現ができる。

【0047】さらに、トランジスタのゲート電極に隣接しない不純物拡散層とゲート電極の不純物活性化に必要な熱処理を先に行うことが可能なので、ゲート電極に隣接する不純物拡散層を浅く形成できる。これは、トランジスタの微細化の妨げとなるショートチャネル効果の改善をもたらし、より微細なトランジスタの実現に効果的である。

【図面の簡単な説明】

【図1】本発明の実施形態の製造方法を段階的に示す半



導体装置の断面図。

【図2】図1の次の段階を示す半導体装置の断面図。

【図3】図2の次の段階を示す半導体装置の断面図。

【図4】図3の次の段階を示す半導体装置の断面図。

【図5】図4の次の段階を示す半導体装置の断面図。

【図6】第1および第2の実施形態の要部の寸法を示す半導体装置の断面図。

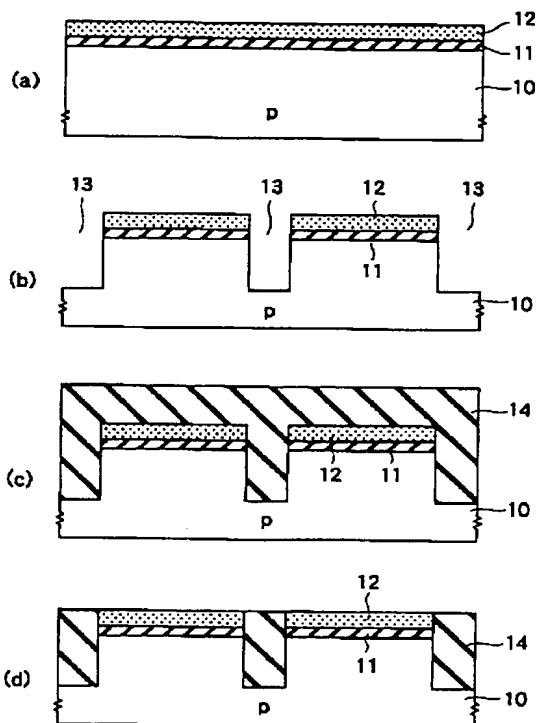
【図7】従来のサリサイド構造の製造方法を段階的に示す半導体装置の断面図。

【符号の説明】

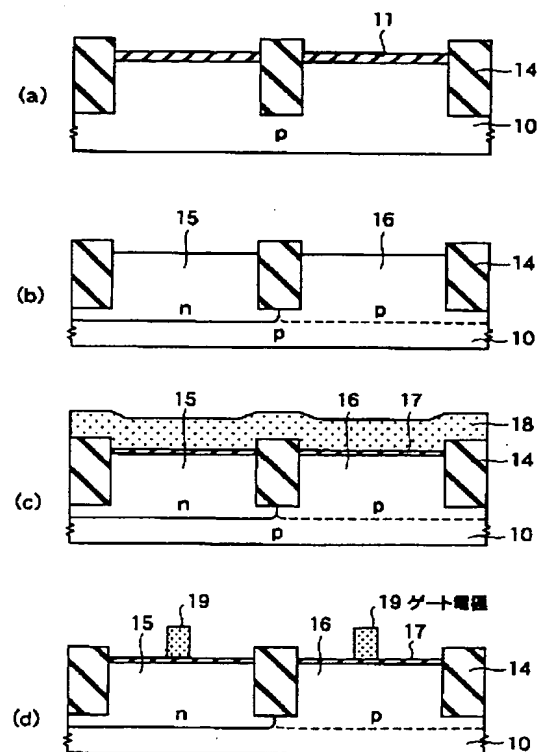
- 10 … 半導体基板
- 11、17、20 …  $\text{SiO}_2$  膜
- 12 …  $\text{SiN}$  膜
- 13 … 素子分離領域形成予定部
- 14 …  $\text{SiO}_2$  膜（素子分離領域）

- 15 … n型ウェル
- 16 … p型ウェル
- 18 … 多結晶シリコン膜
- 19 … ゲート電極
- 21 … 第1の絶縁膜
- 22 … 第1のゲート側壁絶縁膜
- 23 … レジスト
- 24、25 … （深い）不純物拡散層
- 26、27 … （浅い）不純物拡散層
- 28 … 第2の絶縁膜
- 29 … 第2のゲート側壁絶縁膜
- 30 … Ti膜
- 31 … TiN膜
- 32 … シリサイド膜

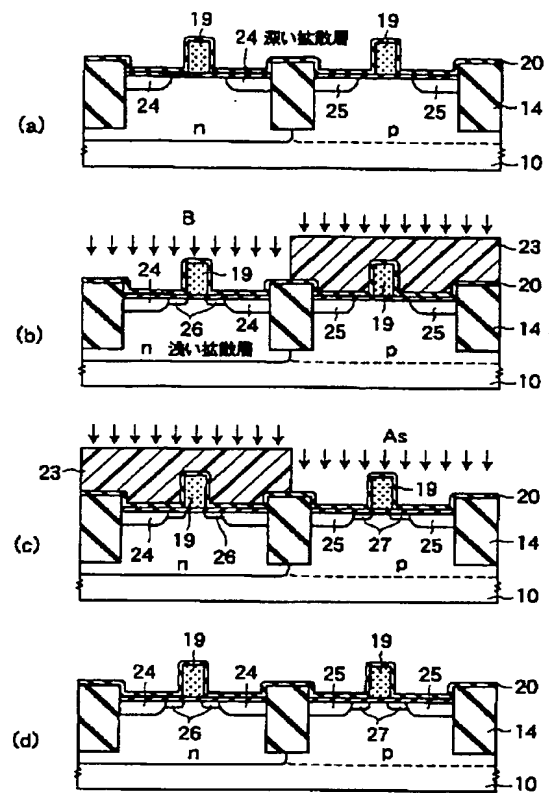
【図1】



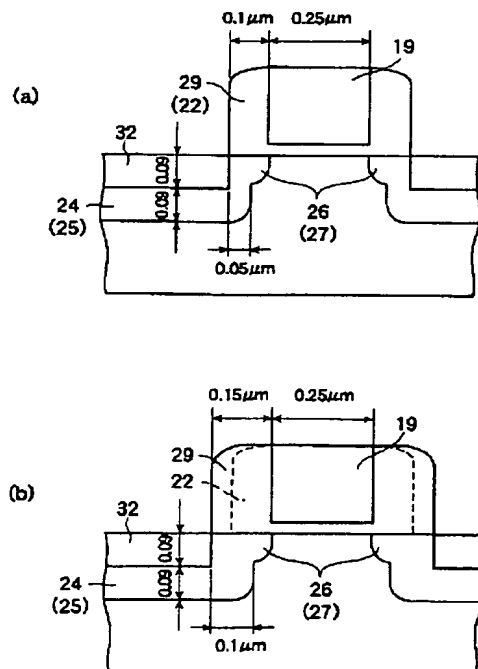
【図2】



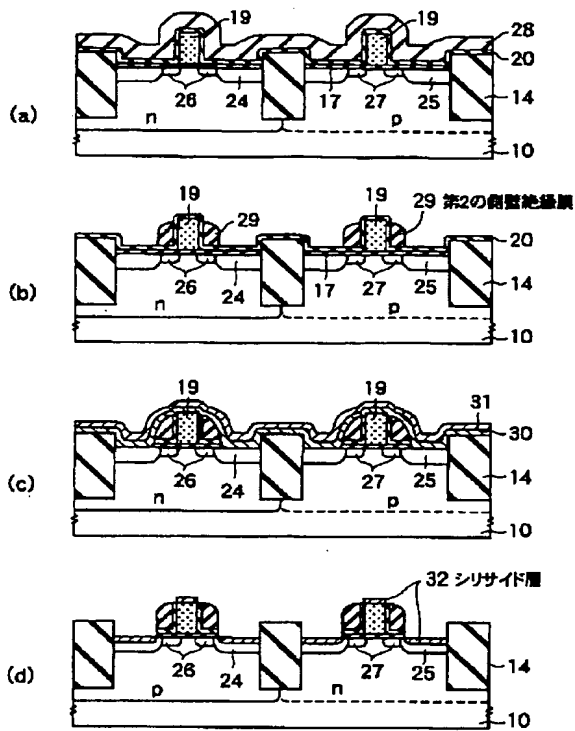
【図4】



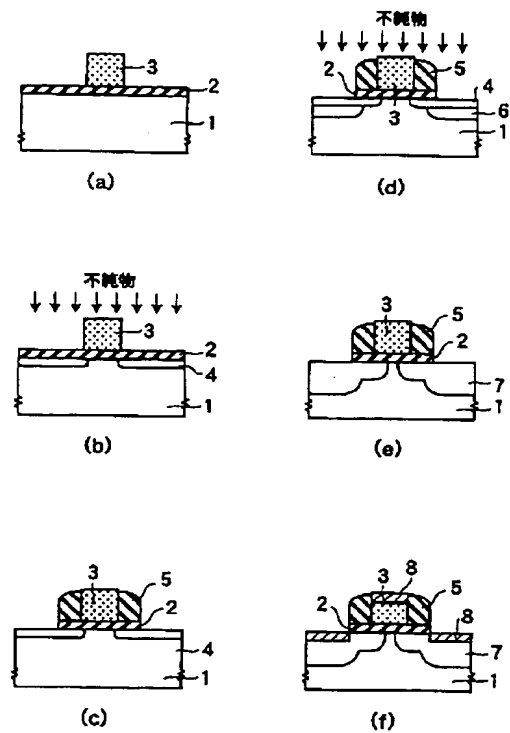
【図 6】



【図5】



【図7】



フロントページの続き

(51)Int.Cl.<sup>7</sup> 識別記号  
H01L 29/43

F I  
H01L 29/78

テーマコード(参考)  
301L

Fターム(参考) 4M104 AA01 BB01 BB25 BB30 CC01  
CC05 DD02 DD37 DD43 DD64  
DD65 DD79 DD84 EE09 EE17  
FF14 GG09 GG10 HH10  
5F040 DA13 DB03 EC01 EC07 EC13  
EF02 EF09 EK01 EK05 FA04  
FA05 FC21  
5F048 AC03 BB05 BB08 BC06 BE03  
BF06 BG14 DA18 DA19 DA25  
DA27